



IFTASK ハイパースレッディング

- [マニュアルの変更履歴](#) (1 ページ)
- [機能説明](#) (1 ページ)
- [機能の仕組み](#) (1 ページ)
- [CPU 分離の設定](#) (2 ページ)

マニュアルの変更履歴

改訂の詳細	リリース
最初の導入。	21.25

機能説明

ハイパースレッディングは、並列コンピューティング技術の活用により、パケット処理におけるシステムパフォーマンスを向上させます。

機能の仕組み

IFTASK ハイパースレッディングは、ポーリングモードドライバ (PMD) /マルチチャネルダイレクトメモリアクセス (MCDMA) およびセッションマネージャスレッドが、ハイパースレッディングが有効になっている物理コアで共存しないようにします。

ハイパースレッディングを有効にすると、1つのコアが2つのコアに分割されます。ハイパースレッディングにより、物理コアとその兄弟のコアで同じ種類のプロセスが実行されます。つまり、両方のコアで PMD/MCDMA スレッドまたはセッションマネージャが実行されます。

Intel Data Plane Development Kit (DPDK) /IFTASK は、PMD および MCDMA スレッドを CPU コア番号 1 からスケジュールし、IFTASK プロセスを処理するためにコア 0 (マスターコア) を予約します。

非ハイパースレッドシステムでは、CPU コアでPMDおよびMCDMA スレッドをスケジュールしても、キャッシュ使用率とシステム全体のパフォーマンスには影響しませんが、ハイパースレッディングが有効になっている場合、コアとその兄弟のコアはPMD/MCDMA またはセッションマネージャを使用してスケジュールされるため、システムパフォーマンスが向上しません。パフォーマンスの向上を実現し、CPU ペアを維持するために、コア番号は1からではなく、2からスケジュールされます。IFTASK コアの数は常に偶数である必要があります。

CPU 分離

システムのパフォーマンスを向上させるために、PMD/MCDMA スレッドを実行する CPU はカーネルから分離されています。CPU が分離されると、カーネルは割り込みまたは他のカーネルプロセスのスケジューリングを停止します。

制限事項と制約事項

このリリースでは、この機能には次の制限事項と制約事項があります。

- この機能は現在、VPC-DI シャーシでのみサポートされており、コントロールプレーン (CP) のシングルインスタンス (VPC-SI) ではまだ認定されていません。
- [isolcpu] を有効または無効にすると、変更を反映するため、すべてのサービス機能 (SF) カードが2回リブートされます。
- [isolcpu] を使用して IFTASK コア設定を変更すると、変更を反映するため、SF カードが3回リブートされます。
- ハイパースレッディングを有効にしたら、単一の Non-Uniform Memory Access (NUMA) ノードでは、PMD/MCDMA コア数は偶数である必要があります。
- NUMA が2つあるシステムでは、コアが均等に分割されるように、PMD/MCDMA コア数は4で割り切れる必要があります。

CPU 分離の設定

CPU 分離を有効にするには、次の設定を使用します。

```
config
  iftask
    isolcpu-enable
  end
```

注：

- **iftask isolcpu-enable** : Virtualized Packet Core - Distributed Instance (VPC-DI) シャーシ上のすべての SF カードの CPU 分離を有効にします。
- **no iftask isolcpu-enable** CLI コマンドを使用して、CPU 分離を無効にします。

翻訳について

このドキュメントは、米国シスコ発行ドキュメントの参考和訳です。リンク情報につきましては、日本語版掲載時点で、英語版にアップデートがあり、リンク先のページが移動/変更されている場合がありますことをご了承ください。あくまでも参考和訳となりますので、正式な内容については米国サイトのドキュメントを参照ください。